

Expansor de E/S PCF8574

Detalles

Escrito por Biblioman

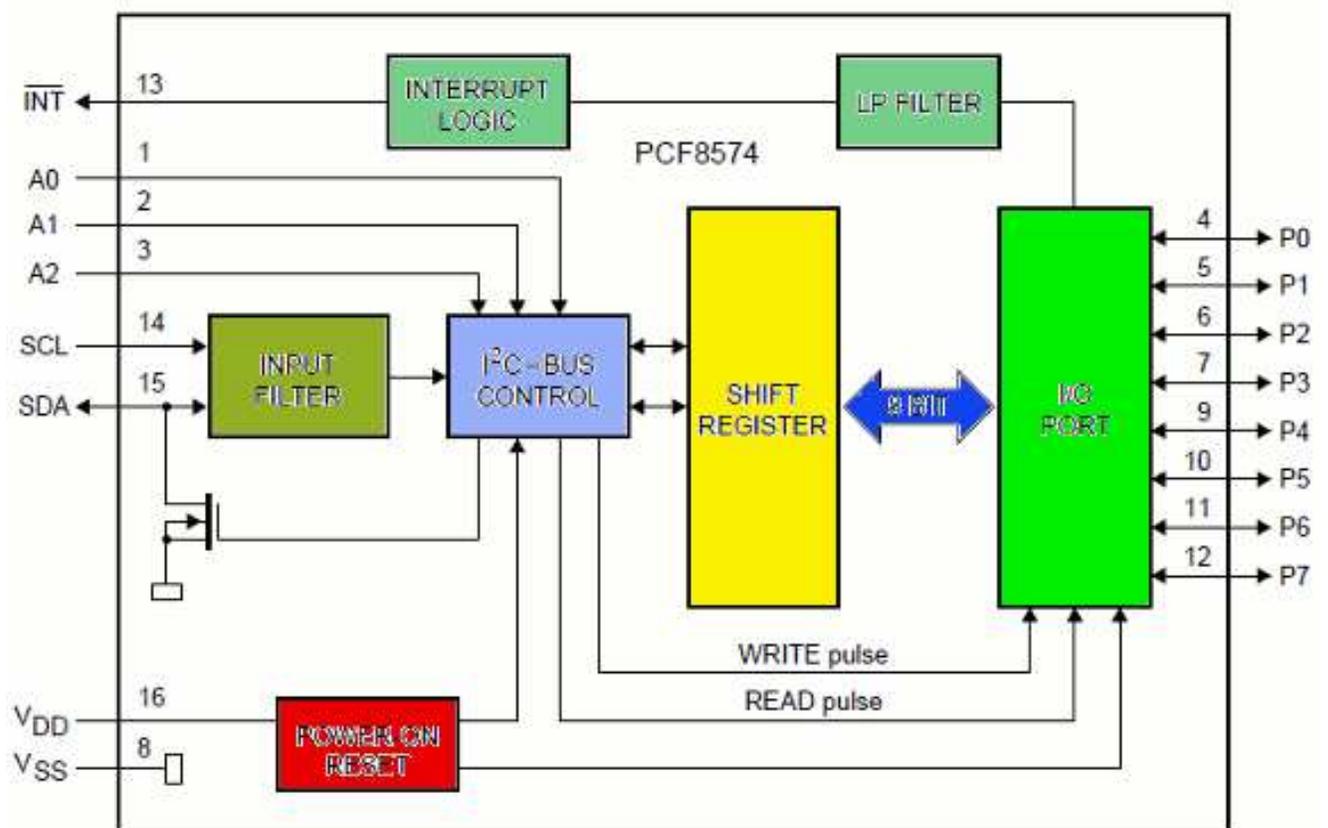
El PCF8574 es un expansor de E/S compatible con la mayoría de microcontroladores, permite una comunicación bidireccional, necesitando para ello solo dos líneas a través del bus I2C.



Características del módulo

- Tensión de alimentación de 2.5 a 6 V CC.
- Bajo consumo en standby (máximo 10 microamperios).
- Conversión de datos de I2C a paralelo y viceversa.
- Un Pin de interrupción de salida a drenador abierto (necesita resistencia pul-up).
- Un puerto cuasi-bidireccional de ocho bits (necesitan resistencias pul-up).
- Tres pines disponible para configurar por hardware la dirección del dispositivo.
- Disponible en encapsulados DIP y SMD.

Diagrama de bloques



Direccionamiento

Este módulo dispone de dos modelos (PCF8574 y PCF8574A) cuya única diferencia es su dirección.

| PCF8574 | | | | | | | PCF8574A | | | | | | |
|---------|---|---|---|----|----|----|----------|---|---|---|----|----|----|
| 0 | 1 | 0 | 0 | A2 | A1 | A0 | 0 | 1 | 1 | 1 | A2 | A1 | A0 |

Los primeros cuatro bits vienen configurados de fábrica y los tres últimos son configurables por hardware, por lo que podemos tener 8 módulos conectados al mismo bus I2C (y si combinamos ambas versiones hasta 16).

Funcionamiento

Como cualquier dispositivo I2C la comunicación es a través de dos líneas:

- **SDA**: línea serie para los datos.
- **SCL**: para la señal de reloj.

Ambas líneas deben de estar conectadas a una alimentación positiva a través de una resistencia pul-up.

El microcontrolador es el que está configurado como maestro y él o los módulos PCF8574 que estén conectados al bus se configuran como esclavos, el maestro es el que realiza las peticiones de lectura o escritura sobre los módulos y controla la señal de reloj (SCL).

La transferencia de datos puede ser inicializada solo cuando el bus no está ocupado.

Una trama de datos en una transmisión consta de:

- Un bit de inicio de la comunicación.
- Un byte formado por siete bits que identifican la dirección del esclavo + un bit para indicar si se va hacer una lectura (R/W=1) o escritura (R/W=0) en el módulo.
- Los datos en sí (de transmisión o recepción); el número de bytes de datos a transmitir o recibir entre el comienzo de la comunicación y la condición de fin de transmisión (bit de parada) no está limitada.
- Un ACK de reconocimiento. A cada byte transmitido le sigue un bit de reconocimiento, cuando el esclavo recibe un byte este envía el ACK para indicarle al maestro que lo ha recibido correctamente, cuando la petición del maestro al esclavo es de lectura este debe de enviar un ACK al esclavo para indicarle que ha recibido el byte correctamente.
- Un bit de parada. La condición de parada (P) ocurre cuando la línea SDA cambia de nivel alto a bajo mientras la línea de reloj se encuentra a nivel alto y es controlada por el dispositivo maestro (en nuestro caso el microcontrolador).

